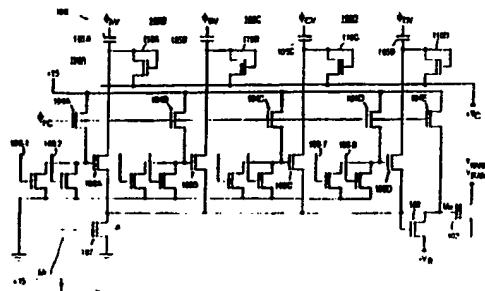


DEMANDE INTERNATIONALE PUBLIEE EN VERTU DU TRAITE DE COOPERATION EN MATIERE DE BREVETS (PCT)

(51) Classification internationale des brevets 5 : G09G 3/36		A1	(11) Numéro de publication internationale: WO 92/09985 (43) Date de publication internationale: 11 juin 1992 (11.06.92)		
(21) Numéro de la demande internationale: PCT/FR91/00959 (22) Date de dépôt international: 3 décembre 1991 (03.12.91) (30) Données relatives à la priorité: 620,681 3 décembre 1990 (03.12.90) US		(81) Etats désignés: AT (brevet européen), BE (brevet européen), CH (brevet européen), DE (brevet européen), DK (brevet européen), ES (brevet européen), FR (brevet européen), GB (brevet européen), GR (brevet européen), IT (brevet européen), JP, LU (brevet européen), MC (brevet européen), NL (brevet européen), SE (brevet européen). Publiée <i>Avec rapport de recherche internationale.</i>			
(71) Déposant: THOMSON S.A. [FR/FR]; 51, esplanade du Général-de-Gaulle, F-92800 Puteaux (FR). (72) Inventeurs: STEWART, Roger, Green ; BRIGGS, George, Roland ; Thomson-CSF SCPI, F-92045 Paris-La Défense Cédex 67 (FR). (74) Mandataire: RUELLAN, Brigitte; Thomson-CSF SCPI, F-92045 Paris-La Défense Cédex 67 (FR).					
(54) Title: WIDTH PULSE GENERATOR HAVING A TEMPORAL VERNIER (54) Titre: GENERATEUR A LARGEUR D'IMPULSION VARIABLE COMPRENANT UN VERNIER TEMPOREL					
(57) Abstract The present invention relates to a logic circuit comprising an assembly of interconnected stages. Each stage has a relatively important transistor charging a node which, when open, transmits a charge current to node from a synchronization pulse of one phase of an assembly of phases applied to the charge capacity in series with the node charging transistor. Such important transistors have high capacities distributed between the grid and the source and between the grid and the drain. The response time for loading a selected stage node may be reduced by precharging the gate of a node charging transistor of a selected stage in order to open the transistor before application of the synchronization pulse, thus increasing the maximum operation speed of the circuit. The disclosed specific devices for such logic circuit include temporal vernier circuits which may be used as liquid cristal display control circuits for televisions or computers.					
(57) Abrégé La présente invention concerne un circuit logique comprenant un ensemble d'étages interconnectés. Chacun des étages comprend un transistor relativement important chargeant un nœud qui, lorsqu'il est ouvert, transmet un courant de charge à un nœud à partir d'une impulsion de synchronisation d'une phase d'un ensemble de phases appliquées à la capacité de charge en série avec le transistor de charge de nœud. De tels transistors importants présentent des capacités importantes réparties entre la grille et la source et entre la grille et le drain. Le temps de réponse pour charger un nœud d'étage sélectionné peut être diminué en préchargeant la porte du transistor de charge de nœud d'un étage sélectionné pour ouvrir le transistor avant l'application d'une impulsion de synchronisation, augmentant ainsi la vitesse maximale de fonctionnement du circuit. Les dispositifs spécifiques exposés pour un tel circuit logique comprennent des circuits à vernier temporel pouvant être utilisés en tant que circuits de contrôle pour affichage à cristaux liquides de télévision ou d'ordinateur.					



UNIQUEMENT A TITRE D'INFORMATION

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publant des demandes internationales en vertu du PCT.

AT	Autriche	ES	Espagne	MG	Madagascar
AU	Australie	FI	Finlande	ML	Mali
BB	Barbade	FR	France	MN	Mongolie
BE	Belgique	GA	Gabon	MR	Mauritanie
BF	Burkina Faso	GB	Royaume-Uni	MW	Malawi
BG	Bulgarie	GN	Guinée	NL	Pays-Bas
BJ	Bénin	GR	Grèce	NO	Norvège
BR	Brésil	HU	Hongrie	PL	Pologne
CA	Canada	IT	Italic	RO	Roumanie
CF	République Centrafricaine	JP	Japon	SD	Soudan
CC	Congo	KP	République populaire démocratique de Corée	SE	Suède
CH	Suisse	KR	République de Corée	SN	Sénégal
CI	Côte d'Ivoire	LJ	Liechtenstein	SU+	Union soviétique
CM	Cameroon	LK	Sri Lanka	TD	Tchad
CS	Tchécoslovaquie	LU	Luxembourg	TC	Togo
DE	Allemagne	MC	Monaco	US	Etats-Unis d'Amérique

+ Toute désignation de "SU" produit ses effets dans la Fédération de Russie. On ignore encore si une telle désignation produit ses effets dans les autres Etats de l'ancienne Union soviétique .

**Générateur à largeur d'impulsion variable
comprenant un vernier temporel**

5 Les écrans à cristaux liquides de télévision et
d'ordinateur sont connus des spécialistes. Par exemple,
nous donnons ci-inclus pour référence le brevet américain
4 766 430 accordé à Gillette et al. le 23 août 1988. Comme
10 nous l'exposons dans ce brevet, un dispositif de balayage
électionne une ligne de balayage horizontal durant la
durée d'émission d'un signal vidéo (d'environ 50 µs) et
une tension en forme de rampe est appliquée aux portes de
transfert appropriées à chaque ligne de données
verticales, chargeant ainsi des pixels de cristaux
15 liquides disposés aux intersections des lignes de données
verticales (colonnes) et de la ligne horizontale
électionnée (lignes). Un compteur à 6 bits associé à
chaque colonne, amorcé conformément au niveau d'un des 64
niveaux de gris donné du pixel d'intersection, est ramené
20 à zéro, point auquel la porte de transfert associée avec
la ligne de données verticales est ouverte, rendant ainsi
la charge sur le pixel de l'intersection du cristal
liquide, proportionnelle à son propre niveau de
luminosité. Ainsi, la vitesse de décompte du compteur à 6
25 bits n'a besoin seulement d'être qu'à 1,25 MHz, c'est-à-
dire l'inverse de 50/64 µs.

30 Du fait que le silicium amorphe (aSi) est bon marché
comparé au silicium polycristallin, il est souhaitable
d'employer l'aSI pour un écran à cristaux liquides pour
télévision sur substrat semi-conducteur, qui comprend
également le circuit de contrôle. En raison de la
constante de temps de capacité relativement importante de
l'ensemble du circuit de contrôle constitué de transistors
en silicium amorphe, il n'est normalement pas possible de
35 faire fonctionner un compteur de colonnes à une vitesse
nettement supérieure à celle de 1,25 MHz, du compteur à 6
bits présenté dans le brevet de Gillette et al. dont il a
été question plus haut. Toutefois, une vitesse effective

d'environ 5MHz est nécessaire pour pouvoir traiter les 256 niveaux de gris (8 bits) mis en jeu par la télévision aux normes TSC. De plus, la capacité de chaque ligne de l'affichage à cristaux liquides, laquelle constitue la charge de chaque étage du dispositif de balayage de ligne, est très importante et requiert un transistor relativement puissant pour charger intégralement la ligne sélectionnée pendant la durée relative courte (n' excédant pas 13 μ s) de non-activité de chaque signal vidéo de ligne horizontale.

10 Rappelons encore une fois que le fonctionnement relativement lent des transistors en silicium amorphe empêche normalement de tels transistors d'être utilisés dans un dispositif de balayage à sélection de ligne dans un affichage à cristaux liquides à haute définition (par ex. un écran de télévision d'environ 250 000 pixels par image).

La présente invention se rapporte aux circuits logiques qui surmontent un ou plusieurs des problèmes dont il vient d'être question. Tandis que ces circuits logiques diffèrent les uns des autres dans le détail, ils comprennent tous des étages d'amorçage interconnectés disposés par ordre numérique P (où P est un nombre entier), chaque étage comprenant un transistor de charge de noeud présentant une charge de capacité en série, destiné, en outre, à diriger le courant de charge d'une impulsion de synchronisation appliquée à la charge de capacité à un noeud en rendant passant ledit transistor qui charge le noeud lorsque ce transistor chargeant le noeud de cet étage est ouvert. De plus, le transistor qui charge le noeud de chaque étage présente des capacités importantes réparties entre sa grille et sa source, ainsi qu'entre sa grille et son drain. La première mesure consiste à appliquer sélectivement une impulsion d'amorce [=ou de "précharge"] à la porte du transistor qui charge le noeud d'au moins un étage sélectionné avant l'application d'une impulsion de synchronisation à la charge capacitive de l'étage sélectionné, ouvrant ainsi le transistor chargeant le noeud de l'étage sélectionné

lorsque sa grille reste préchargée. La première mesure maintient également le transistor, qui charge le noeud de chacun des étages fermé. La seconde mesure consiste d'abord (1) à appliquer les premières impulsions de synchronisation qui surviennent à la première phase d'un ensemble prédéterminé de différentes phases à la capacité de charge d'un ou de plusieurs étages donnés des étages interconnectés et (2) appliquer les secondes impulsions de synchronisation qui surviennent à une seconde phase d'un ensemble prédéterminé de différentes phases à la capacité de charge d'un étage ou plus des étages interconnectés autres que les étages donnés. Le fait de précharger une grille d'un transistor destiné à charger un noeud activé diminue son temps de réponse lors de l'application d'une impulsion de synchronisation et ainsi améliore la vitesse maximale à laquelle le circuit logique à impulsion peut fonctionner, malgré les capacités réparties importantes qui existent respectivement entre la grille et la source, ainsi qu'entre la grille et le drain du transistor destiné à charger le noeud de chaque étage.

La demande (n° RCA 85.678) déposée simultanément par George R. Briggs, donnée ci-joint, intitulée "Dispositif pour la génération d'impulsions de contrôle de largeur variable, pour piloter, par ex., des affichages d'écran" décrit l'ensemble des circuits qui peut être utilisé avec la présente invention. L'exposé de cette demande de dépôt est inclus pour information.

La figure 1 montre un système, comprenant un circuit à vernier temporel, répondant rapidement à des données numériques de niveaux de gris pour contrôler la durée d'application d'un signal de tension en forme de rampe à une ligne de données d'un affichage à cristaux liquides, comprenant M colonnes et N lignes, conformément aux données numériques relatives aux niveaux de gris.

La figure 2 montre une impulsion de sortie du vernier de la figure 1 et le signal de tension en forme de rampe pendant chaque intervalle de 63 µs de la colonne.

4

La figure 3 représente une vue schématique d'un dispositif à entrée unique du circuit à vernier temporel de la figure 1, comprenant 4 étages à différentes phases.

5 La figure 4 montre les entrées des données vers les 4 étages de ce qui est décrit dans la figure 3.

La figure 5 est un diagramme de synchronisation du vernier et de la phase finale du comparateur tel qu'il est concrétisé sur la figure 1

10 La figure 6 représente un circuit équivalent d'une partie du circuit à vernier temporel de la figure 1.

La figure 7 représente les tensions en fonction du temps à différents points du circuit équivalent de la figure 5 selon les premières conditions de fonctionnement.

15 La figure 8 représente les tensions en fonction du temps à différents points du circuit équivalent de la figure 5 selon les secondes conditions de fonctionnement.

La figure 9 donne une représentation schématique d'un dispositif à deux entrées du circuit à vernier temporel de la figure 1, constitué de 4 étages à différentes phases.

20 La figure 10 montre les entrées de données aux 4 étages du dispositif présenté figure 9.

La figure 11 donne une représentation schématique d'un dispositif à entrée unique du circuit à vernier temporel de la figure 1, comprenant 8 étages à différentes phases.

La figure 12 montre les entrées des données appliquées aux 4 étages du dispositif relatif au circuit à vernier temporel présenté sur la figure 9 .

30 La figure 13 donne une représentation schématique d'un dispositif à deux entrées du circuit à vernier temporel de la figure 1, comprenant 8 étages à différentes phases.

La figure 14 montre les entrées de données appliquées aux 8 étages du dispositif présenté figure 9.

35 Dans la figure 1, le circuit à vernier temporel 100 reçoit des données d'entrées de contrôle des circuits comparateurs ou compteurs montés en cascade 101-1 à 101-P

et fournit une impulsion de sortie Mo qui est individuellement associée, par le transistor 102 de commande de la colonne de pixel, à la colonne J de l'affichage à cristaux liquides comprenant des colonnes M et des lignes N. Des circuits à vernier temporel additionnels, similaires au circuit de vernier temporel 100, sont individuellement associés, au moyen des transistors 102 de commande des colonnes de pixel, à chacune des colonnes J à J+M. Les comparateurs 101-1 à 101-P reçoivent les bits de données et fournissent une impulsion de sortie présentant une largeur déterminée par le bit de poids fort (MSB pour "Most Significant Bit" en langue anglaise). Les deux bits de poids faible (LSB pour "Least Significant Bit") sont appliqués au circuit à vernier 100, qui divise la dernière période dans n'importe lequel des 4 intervalles. Un signal de tension en forme de rampe (V_{Ramp}), montré sur la figure 2 est appliqué aux drains respectifs des transistors 102 des lignes de commande des pixels, transistors associés avec toutes les colonnes J.

Les pixels de cristaux liquides P (par ex. $P_{k,j}$ et $P_{k+1,j}$), qui constituent des capacités, sont situés à l'intersection de chaque ligne et chaque colonne. Un dispositif de balayage de lignes (montré dans le brevet de Gillette et al. mentionné ci-dessus) rend conducteurs tous les transistors 103 associés à la ligne sélectionnée (par ex., les transistors 103-1 à 103-2 associés à la ligne K). Ceci permet à la tension V_{Ramp} de charger tous les pixels P (par ex., $P_{k,j}$ et $P_{k+1,j}$) associés avec le transistor passant de commande de la colonne 102 et la ligne K de activée.

Dans la figure 2, la tension V_{Ramp} occupe une phase active de chaque période de balayage horizontal de $63 \mu s$ du signal vidéo. Pendant la phase inactive, depuis le début du balayage horizontal jusqu'au commencement de la phase active, le dispositif de balayage de ligne passe d'une ligne à la suivante, comme de la ligne K à la ligne K+1. Au commencement de la phase active, le niveau de V_{Ramp} est à

zéro et à la fin de la phase active, le niveau de VRamp atteint sa valeur maximale V_M . Un pixel de cristal liquide chargé à V_M est chargé à la luminosité maximale et les autres pixels sont chargés à différents niveaux déterminés par les données d'entrées des circuits comparateurs 101-1 à 101-P et le circuit à vernier 100. Afin de fournir avec précision un niveau de luminosité au pixel de cristal liquide qui soit conforme à une valeur numérique de niveau de gris, il est nécessaire de fermer le transistor 102 de la commande de la colonne des pixels à l'instant correct dans la phase active du balayage horizontal afin d'empêcher la tension VRamp, soit de charger insuffisamment, soit de charger avec excès le pixel de cristal liquide avec, pour conséquence, un niveau incorrect de luminosité. La figure 2 montre également comment le nombre de largeurs possibles de l'impulsion de sortie peut être modifié par les circuits comparateurs 101-1 à 101-P et le circuit à vernier 100. Le nombre de largeur d'impulsion possible est déterminé par le dispositif particulier du comparateur 101 du circuit à vernier 100 employé comme cela est expliqué plus bas.

Dans la figure 1, chaque transistor 102 de commande de colonne de pixels doit charger une ligne complète de données, qui possède une haute capacité et un transistor de puissance est donc nécessaire. En raison de la puissance nécessaire, le transistor 102 de commande de colonne de pixels, qui est de préférence un transistor à effet de champ (FET) de type à couches minces (TFT) exige un canal relativement large pour assurer la connexion de sa source et de son drain, ce qui augmente respectivement les capacités grille/source et grille/drain. En raison du fait que les transistors à couches minces (TFT) de puissance en silicium amorphe exigent des canaux plus larges que les transistors à couches minces (TFT) en silicium polycristallin afin d'assurer le passage d'un courant suffisant, ces transistors présentent des capacités particulièrement importantes. L'énergie emmagasinée dans de telles capacités augmente donc le temps de commutation de tels TFT. De plus, du fait que le nombre des niveaux de

— 1 —
FICHE DE REMPLACEMENT

gris numériques devient plus important (par ex. 256 niveaux), le temps de commutation nécessaire pour le transistor 102 de commande de ligne de pixels doit être plus court. La mise en œuvre de la présente invention dans le circuit à vernier temporel 100 rend possible la commutation du transistor 102 de commande de la colonne de pixels suffisamment rapide pour les opérations d'affichage par cristaux liquides, même lorsqu'à la fois, le transistor 102 de commande de la colonne de pixels et les transistors employés par le circuit 100 à vernier temporel sont tous constitués de matériaux à faible mobilité comme le silicium amorphe.

La figure 3 montre un circuit 100 à vernier temporel pour commuter le transistor 102 de commande de la colonne de pixels à un instant déterminé par les entrées de contrôle qui lui sont appliquées. Ces entrées de contrôle comprennent un signal de tension de précharge ϕ_{PC} qui est simultanément appliquée aux portes de TFT 104-A à TFT 104-E, et les entrées de données binaires D V, D1V, D2V et D2V, qui sont appliqués au circuit à vernier temporel 100 pendant la phase inactive de chaque balayage de ligne horizontale. Les entrées de contrôle comprennent de plus une impulsion d'armement Mi qui est l'impulsion de sortie Mo du circuit comparateur 101-P. Les 4 impulsions de synchronisation de phases $\phi_{Av'}$, $\phi_{Bv'}$, $\phi_{Cv'}$, ϕ_{Dv} sont appliquées à travers les capacités 105A à 105D, respectivement aux drains des transistors à couches minces TFT 106A à 106D.

L'impulsion d'armement Mi est appliquée à la grille du transistor à couches minces (TFT) d'armement 107, dont le drain est connecté au noeud A et dont la source est mise à la masse. Le noeud A est également connecté à la porte d'un TFT chuteur 108, dont la connexion source/drain transmet l'impulsion de sortie Mo à la grille du TFT 102 de commande de colonne. Les connexions entre la source et le drain des paires de TFT 109-1 et 109-2 à 109-7 et 109-8 sont respectivement raccordés entre les sources des TFT 104A à 104-D et la masse. Les TFT 110A à 110D verrouillés se

trouvent connectés à chacune des capacités 105A à 105D pour empêcher les capacités de charger une valeur supérieure à $+V_C$. La source du TFT 108 est polarisé vers une tension légèrement positive $+VB$ (par ex. +2 volts) qui peut 5 s'avérer utile afin d'empêcher le TFT de répondre à des tensions parasites à sa grille.

Pour illustration, nous partons de l'hypothèse que les étages comparateurs précédents 101-1 à 101-P fournissent une impulsion de sortie présentant une largeur déterminée 10 par les 6 bits de poids forts (MSB) d'un code de niveaux de gris à 8 bits (pour 256 niveaux de gris). En conséquence, la durée de l'impulsion M_0 de sortie peut être n'importe laquelle des 64 largeurs possibles. Le but du circuit 100 à vernier temporel est d'utiliser un ou deux des bits de 15 poids faibles (LSB) afin d'étendre les largeurs d'impulsion possibles à 256.

Le fait qu'un ou deux des bits de poids faible (LSB) soit (soient) utilisé(s) dans le vernier temporel 100 est déterminé par la configuration des comparateurs 101-1 à 20 101-P. L'application référencée RCA 85,678 dans sa figure 4 montre un comparateur qui fournit une impulsion de sortie unique M_0 (entrée M_i vers le vernier). Avec ce type de comparateur, un bit de poids faible seulement est utilisé 25 par le circuit à vernier 100 et l'impulsion de données du bit de poids fort (D_{1V}) des impulsions du vernier est fournie par la régénération de l'impulsion (du bit) de poids faible du signal de données du comparateur. Ceci est le type d'opération utilisée par le comparateur 100 de la figure 3.

La figure 6 de l'application mentionnée RCA 85,678 30 montre un comparateur qui donne deux impulsions de sortie M_{01} et M_{02} , appelé comparateur de bus divisé. Les verniers temporels de ce type de comparateur utilisent deux bits de poids faible et des dispositifs sont décrits ici en 35 référence aux figures 9 et 13.

La figure 4 montre les combinaisons des impulsions D_{1V} , \bar{D}_{1V} , D_{2V} et \bar{D}_{2V} qui sont appliquées aux grilles des transistors à couches minces (TFT) 109-1 à TFT 109-8 de la

figure 3 (x indique une logique 1). Les impulsions D1V et $\overline{D1V}$ sont les mêmes que les impulsions de données du bit de poids faible fournies à l'étage du comparateur 101-P (figure 1). Les impulsions D2V et $\overline{D2V}$ sont les impulsions de données pour le circuit à vernier 100.

Dans la figure 3, le circuit à vernier 100 comprend 4 étages identiques interconnectés 100-A, 100-B, 100-C et 100-D. L'étage 100-A est constitué d'un transistor à couches minces 106-A ayant : (1) sa grille raccordée à la jonction des drains des TFT 109-1 et 109-2, ainsi qu'à la source de TFT 104-A ; (2) son drain raccordé à la capacité de charge 105-A et (3) sa source raccordée au noeud A. Les éléments numérotés d'une manière similaire des étages 100-B, 100-C et 100-D sont interconnectés de la même manière que celle décrite ci-dessus pour les éléments correspondants de l'étage 100-A. De plus, les drains de tous les transistors de 104-A à 104-D sont tous connectés à un point de potentiel de fonctionnement (par ex. +15 volts) et les sources de tous les transistors 109-1 à 109-8 sont mis à la masse. L'impulsion de tension de précharge $\varnothing PC$ est appliquée aux grilles de tous les transistors, du transistor 104A au transistor 104E. Les combinaisons des entrées de données D1V, $\overline{D1V}$, D2V et $\overline{D2V}$ appliquées aux portes des transistors 109-1 à 109-8 déterminent la largeur finale de l'impulsion de sortie Mo, comme cela est montré sur la figure 4.

Tous les transistors à couches minces (TFT) de la figure 3 sont, par hypothèse, des transistors du type "n". De plus, tous les transistors 104 et 109 de tous les 4 étages 100-A à 100-D sont de petits transistors de faibles puissances ayant des largeurs de canaux de seulement 10 à 15 micromètres (μm) environ, le transistor 106 de chaque étage est un transistor plus important et de plus forte puissance ayant une largeur de canal d'environ 100 μm . Les transistors 107 et 108 de chaque étage sont des transistors encore plus importants et plus puissants présentant des largeurs de canaux d'environ 200 μm et le transistor 102 de commande de colonne de pixels est un

λ₀

transistor bien plus important et de puissance bien supérieure présentant une largeur de canal d'environ 750 µm.

Plus un transistor est large, plus les capacités respectives réparties entre les jonctions grille/source et entre grille/drain sont importantes, et plus le transistor accumule d'énergie. Pour cette raison, un transistor plus large et de plus forte puissance tend à avoir un temps de réponse à la fermeture relativement grande ou à avoir un temps de réponse à l'ouverture relativement long par rapport aux transistors plus petits et de plus faibles puissances. La figure 6 montre le circuit équivalent pour les étages 100A à 100D de la figure 3. La capacité répartie C₁ est sensiblement plus petite que les capacités réparties C₂ et C₃, les capacités réparties C₂ et C₃ sont sensiblement plus petites que les capacités réparties C₄, C₅ et C₆; et les capacités réparties C₄, C₅ et C₆ sont sensiblement plus petites que la capacité répartie C₀.

Le fonctionnement du circuit 100 à vernier temporal de la figure 3 est décrit à l'aide de la figure 2, du schéma de synchronisation de la figure 5, du circuit équivalent de la figure 6, et des diagrammes 7 et 8 représentant les diagrammes de tension en fonction du temps. L'impulsion d'armement M_i reste élevée (+15 volts) depuis à peu près le début de chaque ligne de balayage horizontal de 63 µs jusqu'à l'occurrence du temps sélectionné par les 2 bits de poids faible de l'échelle de niveaux de gris pour arrêter l'alimentation du transistor 102 de commande de la colonne de pixels. Lorsque l'impulsion d'armement M_i est importante, le transistor 107 est rendu actif. Pendant la durée inactive de la ligne de balayage horizontal, l'impulsion de tension de précharge PC et les entrées de données D_{1V}, D_{1V}, D_{2V} et D_{2V} sont appliquées. Avec le transistor 107 ouvert, le noeud A et la porte du transistor 108 sont reliés à la masse, ce qui ferme le transistor 108. En conséquence, l'impulsion PC de tension de précharge appliquée à la porte du transistor à couches minces 104 ouvre le transistor, et la grille du transistor 102 de

A1

commande de la colonne de pixels est chargée à + 15 volts, afin de rendre le transistor 102 de commande de la colonne de pixels passant. La tension V_{Ramp} est alors appliquée au pixel associé à l'affichage à cristaux liquides. Egalement, 5 chacun des transistors 109 recevant une impulsion logique UNE D1V, $\bar{D1V}$, D2V et $\bar{D2V}$ sur sa porte est rendu passant pendant l'application du signal de tension de précharge ϕ_{PC} sur la grille du TFT 104, verrouillant ainsi la grille de son transistor 106 à la masse et fermant le transistor 106. Bien que les entrées de données de logique UNE soient 10 des impulsions brèves et de faibles puissances, elles peuvent ouvrir complètement les transistors 109 et permettent que toute charge résiduelle présente sur la porte du transistor 106 puisse être rapidement déchargée à 15 la masse. Ceci est vrai parce que les transistors 109 sont petits.

Sur la figure 3, le transistor 109 de n'importe quel étage qui a une entrée de données de logique ZERO appliquée à sa grille reste non-passant. Ainsi donc, le transistor 20 104 de n'importe quel étage ayant le transistor 109 non-passant lorsqu'il est ouvert par le signal de tension de précharge ϕ_{PC} charge la grille de son transistor 106 à + 15 volts, et de ce fait ouvre le transistor. Toutefois, à ce moment, aucune tension n'est appliquée au drain du 25 transistor 106 et le transistor reste non-passant jusqu'à ce que l'impulsion de synchronisation ϕ_A , ϕ_B , ϕ_C , ou ϕ_D , associé avec l'étage activé, soit appliquée au drain du transistor à couches minces (TFT) 106 à travers la capacité de charge 105.

30 Les entrées de données D1V, $\bar{D1V}$, D2V et $\bar{D2V}$ et l'impulsion de tension de précharge ϕ_{PC} sont toutes achevées avant le commencement de la phase active de la ligne de balayage horizontal. Ceci laisse les grilles respectives des transistors 106 de l'ensemble des quatre étages et le transistor 102 de commande de la colonnes de pixels flottant. Ainsi, donc, les grilles des transistors 35 106 des étages qui sont associés avec les entrées de données de logique UN restent au potentiel de la masse,

FEUILLE DE REMPLACEMENT

12

maintenant ces transistors 106 fermés. La grille du transistor 106 de n'importe quel étage associé avec deux entrées de données de logique ZERO et la grille du transistor 102 de commande de la colonne de pixels reste à un potentiel de + 15 volts, maintenant le transistor 106 ouvert et le transistor 102 de commande de la colonnes de pixels passant. De plus, pour autant que le potentiel de la grille de départ reste à +15 volts, le transistor 107 passant maintient le noeud A et la grille du transistor 108 verrouillé à la masse, permettant ainsi au transistor 102 de commande de la colonne de pixels de rester passant et de continuer à transférer la tension V_{Ramp} au pixel associé à l'affichage de cristaux liquides.

L'impulsion d'armement Mi chute d'un potentiel de + 15 volts à + VB volts au moment déterminé par les 6 bits les plus élevés de l'échelle des niveaux de gris à 8 bits. Dans la figure 3, le dispositif du bit de poids faible des bits de données du comparateur et les bits de données du vernier déterminent lesquelles des 4 entrées de données D1V, D1V, D2V et D2V sont un ZERO logique. Ainsi, comme montré sur la figure 5, les deux signaux DV qui sont de logique ZERO déterminent quand l'impulsion de sortie Mo du circuit à vernier 100 chute et se met à alimenter le transistor à couches minces (TFT) 102 pour lui faire cesser l'application de V_{Ramp} au pixel associé à l'affichage de cristaux liquides.

La figure 5 montre la synchronisation relative des signaux du contrôle du vernier au vernier 100. Les impulsions ϕ_{AC} à ϕ_{DC} sont les impulsions d'horloge du dernier étage du comparateur 101-P (figure 1). Les impulsions ϕ_{AV} à ϕ_{DV} sont les impulsions de l'horloge à l'étage du vernier 100. Les signaux D1V, $\overline{D1V}$, D2V et $\overline{D2V}$ sont appliqués de l'étage 100A à l'étage 100D et seulement un des 4 étages reçoit deux signaux de logique ZERO pour contrôler le signal de sortie Mo. Les impulsions d'horloge de ϕ_{AV} à ϕ_{DV} ont des montées de rampe et la sortie Mo du vernier 100 se dirige vers la moitié inférieure de la rampe. L'application des signaux D1V, $\overline{D1V}$, D2V et $\overline{D2V}$ aux

grilles des transistors à couches minces (TFT) 109-1 à 109-8 est montré sur la figure 4. Comme nous le montrons sur la figure 5, l'utilisation des transistors à couches minces (TFT) 109-1 à 109-8 permet au vernier et au dernier étage du comparateur de fournir 8 segments de temps pour la sortie Mov.

Il est essentiel (1) qu'il n'y ait pas une conduction partielle du transistor 108 et (2) que le délai entre la venue de l'impulsion d'armement M_i et l'impulsion de synchronisation ϕ_{Av} soit aussi bref que possible afin que le transistor 102 de commande de la colonne de pixels soit fermé au bon moment (c'est-à-dire au bon niveau de l'échelle de gris de la tension V_{Ramp}). Ceci est réalisé en mettant en oeuvre une série périodique d'impulsion de synchronisation pour chacun des étages ayant une période de seulement moitié de celle de l'intervalle de temps d'une durée donnée et en utilisant la relation particulière entre le temps de la dépolarisation de la grille de départ M_i , les 4 entrées numériques et l'impulsion ϕ_{PC} montrées dans la figure 5.

La figure 7 aide à identifier les tensions V_ϕ (les impulsions de synchronisation), V_1 , V_2 , V_3 et V_4 qui existent à divers points du circuit équivalent de la figure 6. Dans la figure 7, les valeurs instantanées respectives de ces tensions sont montrées pendant le temps T lorsque T correspond à la durée de l'impulsion de synchronisation (comme montré dans la figure 5), en partant de l'hypothèse que le potentiel M_i de l'impulsion d'armement est faible (c'est-à-dire +VB volts). La figure 8 montre les valeurs instantanées respectives de ces tensions pendant le temps T , partant de l'hypothèse que le potentiel M_i de l'impulsion d'armement est élevé (par ex. +1,5 volt). Dans ces cas, dans lesquels la luminosité de l'échelle des gris d'un pixel sélectionné d'affichage à cristaux liquides est proche de sa valeur maximale V_M , le potentiel de grille de départ M_i reste élevé pendant une durée relativement longue, laissant le champ libre à de nombreuses perturbations sur la valeur de V_3 (qui peuvent être

FEUILLE DE REMPLACEMENT

14

nombreuses dans une conception d'échelle à fins paliers d'intensité). Ces perturbations tendent normalement à décharger partiellement V_4 . Cependant pour un palier à 2 volts pour le transistor à couches minces (TFT) 108, en employant la polarisation positive +VB d'environ 2 volts, une perturbation de V_3 aussi élevée que 3 volts peut maintenir 1 volt en dessous du seuil. Ceci peut maintenir le TFT pratiquement non-passant. Une décharge négligeable du voltage V_4 peut donc être causée par le transistor 108 dans la phase active de 50 μs maximum d'une ligne de balayage, comme indiqué par le seuil expérimental et les données relatives aux fuites.

Dans la figure 6, pour les transistors 106 de chacun des 3 étages ayant un UN logique appliqué à l'un des transistors 109, il est important que les canaux de ces transistors restent sans alimentation électrique pendant l'excursion V_ϕ . Ceci exige que les petits transistors 109 soient suffisamment importants ; ou que la capacité C_2 soit suffisamment faible, ou que les capacités C_1 et C_3 soient suffisamment importantes. En pratique, pour qu'un transistor 106, ayant une largeur de canal de 100 μm et étant capable d'être basculé en 0,7 μs , une largeur de canal de l'ordre de 10 à 15 μm seulement est suffisante pour les transistors 104 et 109. De plus, afin de favoriser l'augmentation de la valeur de la capacité C_3 relative à celle de la capacité C_2 (en augmentant la capacité de chevauchement de grille à source), il convient de maintenir chacun des transistors 106 dans les 3 étages "non sélectionnés" à l'état fermé.

Un autre avantage à employer une série d'impulsions de synchronisation périodique pour chacune des 4 phases ayant une période de seulement moitié de l'intervalle de temps de la durée donnée est que cela permet à la durée de chaque impulsion de synchronisation d'être prolongée plus longtemps que le temps T (voir les encadrés en traits pointillés dans la figure 5). Cette extension de la durée des impulsions de synchronisation hors des limites en traits pointillés est possible sans le danger d'un

"déclenchement faible" ou d'un "faux déclenchement". Cette disposition permet au transistor 108 (c'est-à-dire celui ayant une largeur de canal d'environ 200 μm) d'être plus petit par rapport au transistor 102 de commande de la colonne de pixels (c'est-à-dire celui ayant une largeur de canal d'environ 750 μm), parce que le transistor 108 a maintenant plus de temps pour terminer la décharge de la capacité de grille du transistor 102 de commande de la colonne de pixels.

La figure 9 montre une réalisation qui utilise seulement un bit de poids faible et qui reçoit deux impulsions d'armement MiA et MiB. Ce dispositif est ainsi utile avec le type de comparateur à bus divisé décrit dans la figure 5 de la demande RCA 85.678. Le dispositif de la figure 9 comprend 4 étages 200A à 200D qui, comme indiqué par les numéros de référence identiques pour les éléments identiques, sont très similaires aux étages 100A à 100D de la figure 3. Il y a 3 différences importantes entre la figure 9 et le schéma du dispositif de la figure 3 : (1) les paires parallèles des transistors 109 de la figure 3 sont remplacées par des transistors uniques 200A à 200D à chaque étage ; (2) le schéma du dispositif de la figure 3 utilise 2 transistors d'armement 201A et 201B qui reçoivent respectivement les impulsions d'armement MiA et MiB ; (3) il y a 2 transistors chuteurs 202A et 202B, l'un ou l'autre abaisse le signal de sortie Mo lorsque le transistor est alimenté en courant électrique. L'impulsion d'armement MiA est appliquée seulement aux phases ϕ_{AV} et ϕ_{BV} , tandis que l'impulsion d'armement MiB est appliquée aux phases ϕ_{CV} et ϕ_{DV} . La figure montre l'application des signaux de données D1V et D1V aux grilles des transistors 200. Lorsque D1V est élevé et que MiA est faible, soit la phase ϕ_{AV} ou soit la phase ϕ_{BV} peut arrêter l'alimentation du transistor 102. D'une manière semblable, lorsque $\overline{D1V}$ est élevé et que MiB est faible, soit ϕ_{CV} ou soit ϕ_{DV} peut arrêter l'alimentation du transistor 102. En conséquence avec le schéma du dispositif de la figure 9, 8 largeurs d'impulsions sont possibles pour l'impulsions de sortie Mo.

16

La figure 11 représente le schéma du dispositif d'un circuit à vernier 300 qui reçoit une impulsion d'armement. Min et ainsi, est utile au schéma du dispositif du comparateur décrit dans l'application S/N (RCA 85,678) qui ne donne qu'une impulsion d'armement Mi au vernier. Le schéma du dispositif du vernier de la figure 11 comprend 8 étages 300A à 300H. Chacun des étages 300 est identique aux étages 100 du schéma du dispositif de la figure 3, comme cela est indiqué par les numéros de référence identiques. Cependant, chacun des étages 300 comprend 3 transistors parallèles 301 avec le noeud A de verrouillage à la masse lorsque l'alimentation électrique est ouverte par un signal de contrôle. Les D1V, $\overline{D1V}$, D2V, $\overline{D2V}$ et D3V et $\overline{D3V}$ sont appliqués au vernier comme montré sur la figure 12. Le signal D1V et son complément $\overline{D1V}$ sont reçus de l'étage du comparateur, le même que sur le schéma du dispositif de la figure 3. Les signaux D2V et D3V, ainsi que leurs compléments sont les 2 bits du vernier. La synchronisation de la figure 11 suit la synchronisation de la figure 5 mais il y a 8 impulsions d'horloge de vernier de ϕ_A à ϕ_H . Les impulsions de sortie Mo du vernier peuvent ainsi avoir n'importe laquelle des 16 largeurs possibles d'impulsions.

La figure 13 représente le schéma du dispositif d'un vernier 400 qui reçoit 2 impulsions d'armement MiA et MiB du schéma du dispositif d'étage du comparateur qui donne 2 impulsions de sortie Mo. Le schéma du dispositif de la figure 13 fonctionne avec les 8 phases ϕ_{AV} à ϕ_{HV} fournies aux 8 étages 400A à 400H respectivement. Comme indiqué par les numéros des références identiques, les autres éléments (capacité 105 et transistor à couches minces (TFT) 104 et 106 de chaque étage et les TFT 201A, 201B, 202A, 202B du vernier, sont les mêmes que ceux du schéma du dispositif de la figure 9. Les deux bits de poids faible du (D1V et D2V) du vernier et leurs compléments sont appliqués aux transistors à couches minces (TFT) 400 des étages de 400A à 400H comme montré sur la figure 14. En conséquence, dans le schéma du dispositif de la figure 13, chaque étage comprend 2 transistors à couches minces (TFT), les grilles des deux

doivent être de logique ZERO pour qu'une impulsion de phase ϕ ferme le transistor à couches minces (TFT) 102. Le schéma du dispositif de la figure 13 donne une impulsion de sortie M_0 qui peut ainsi avoir n'importe laquelle des 16 largeurs possibles d'impulsions.

REVENDICATIONS

1. Un circuit à vernier temporel caractérisé en ce qu'il comprend :

5 Des étages (101) interconnectés disposés par ordre numérique P, où P est un nombre entier, chaque étage (101) comprenant un transistor de charge de noeud en série présentant une capacité de charge, destiné à diriger le courant de charge d'une impulsion de synchronisation appliquée à ladite capacité de charge à un noeud par conduction dudit transistor qui charge le noeud lorsque ledit transistor chargeant le noeud de chaque niveau est ouvert, ledit transistor qui charge le noeud de chaque étage présentant des capacités réparties grille /source et
10 grille/drain importantes ;

15 chacun desdits étages comprenant premièrement des dispositions pour appliquer une impulsion de précharge à la grille dudit transistor de charge de noeud d'au moins un étage avant l'application d'une impulsion de synchronisation à ladite capacité de charge pour ouvrir ledit transistor de charge de noeud en chargeant lesdites capacités réparties, et par cela le transistor chargeant le noeud reste ouvert lorsque lesdites capacités restent chargées, lesdites premières dispositions maintenant le
20 transistor qui charge le noeud de chaque étage non sélectionné fermé, lesdites premières dispositions comprenant une première disposition contrôlée par les données pour appliquer les entrées de données auxdits étages, ladite disposition contrôlée par les données
25 comprenant au moins un transistor pour contrôler ledit transistor de charge de noeud ;

30 deuxièmement des dispositions pour appliquer les impulsions de synchronisation à la capacité de charge d'au moins un desdits étages interconnectés, grâce à laquelle le préchargement de la porte d'un transistor ouvert chargeant un noeud diminue son temps de réponse à une impulsion de synchronisation appliquée et ainsi augmente la vitesse maximale auquel ledit circuit logique peut fonctionner, en
35

19

dépit des capacités réparties respectives importantes entre la grille et la source, ainsi qu'entre la grille et le drain dudit transistor qui charge le noeud ;

5 puis troisièmement des dispositions pour appliquer au moins une impulsion d'armement auxdits étages pour mettre en état de veille lesdits étages avant l'application des impulsions de synchronisation auxdits étages.

10 2. Circuit à vernier selon la revendication 1, caractérisé en ce que ladite source dudit transistor chargeant le noeud de chacun desdits étages P est connectée à un noeud commun qui interconnecte lesdits étages P et ladite capacité de charge de chacun desdits étages P est connectée en série audit drain dudit transistor qui charge le noeud ;

15 lesdites impulsions de synchronisation surviennent dans un ensemble de différentes phases égales à P et surviennent successivement dans un ordre donné, et lesdites secondes dispositions appliquent les impulsions de synchronisation qui surviennent à chacune des phases ordinaires séparées desdites différentes phases P au drain desdits transistors qui chargent les noeuds à travers ladite capacité de charge connectée en série d'un desdits étages P arrangés en ordre ordinal qui correspond à une position ordinaire ; lesdites premières dispositions comprenant, de plus, au moins des secondes dispositions contrôlées par des données en parallèle avec lesdites premières dispositions contrôlées par des données par laquelle l'impulsion de sortie dudit circuit logique peut prendre n'importe laquelle des au moins 2P largeurs conformément aux entrées desdites données.

20 3. Circuit à vernier selon la revendication 2, caractérisé en ce qu'il comprend de plus un transistor chuteur répondant audit noeud pour contrôler la largeur de l'impulsion de sortie dudit circuit à vernier en réponse aux changements de tension sur ledit noeud.

25 35 4. Circuit à vernier selon la revendication 3, caractérisé en ce qu'il y a deux desdites troisièmes dispositions d'application et deux desdits noeuds, pour

FEUILLE DE REMPLACEMENT

appliquer deux impulsions d'armement aux étages sélectionnés, une desdites impulsions d'armement armant un ensemble de P/2 étages et les autres impulsions d'armement armant l'autre ensemble de P/2 étages.

5. Circuit vernier selon la revendication 4, caractérisé en ce qu'il y a deux desdits transistors chuteurs qui répondent individuellement auxdits deux noeuds.

10. Circuit à vernier selon la revendication 2, caractérisé en ce qu'il y a 3 desdites dispositions contrôlées par les données qui sont arrangées en parallèle.

15. Circuit à vernier selon la revendication 6, caractérisé en ce qu'il y a 2 desdites troisièmes dispositions pour application et 2 desdits noeuds, pour appliquer 2 impulsions d'armement aux étages sélectionnés, une desdites impulsions d'armement armant un ensemble de P/2 étages et les autres impulsions d'armement armant l'autre ensemble de P/2 étages.

20. Circuit à vernier selon la revendication 7, caractérisé en ce qu'il y a 2 desdits transistors chuteurs qui répondent individuellement auxdits deux noeuds.

25. Générateur d'une largeur d'impulsion variable pour contrôler l'état marche/arrêt des dispositifs à semi-conducteur de commutation, lesdits dispositifs à semi-conducteur de commutation lorsqu'ils sont ouverts, appliquant un signal de tension en forme de rampe aux éléments du système d'affichage, ledit générateur à largeur variable étant caractérisé en ce qu'il comprend :

30. un ensemble de circuits comparateurs en cascade pour donner un signal de sortie de comparateur ayant une largeur variable conformément avec les bits de poids fort d'un signal à n bits ;

35. un circuit à vernier qui répond audit signal de sortie du comparateur pour changer la largeur dudit signal de sortie conformément avec au moins un des deux bits de poids faible dudit mot de données de n bits.

--- I F DE REMPLACEMENT

10. Générateur de largeur d'impulsion selon la revendication 9, caractérisé en ce que ledit circuit à vernier temporel comprend :

Des étages interconnectés disposés par ordre numérique
5 P, où P est un nombre entier, chaque étage comprenant un transistor de charge de noeud destiné à diriger le courant de charge d'une impulsion de synchronisation appliquée à un noeud par conduction dudit transistor qui charge le noeud lorsque cedit transistor chargeant le noeud est ouvert,
10 ledit transistor qui charge le noeud de chaque étage présentant des capacités réparties grille/source et grille/drain importantes ;

chacun desdits étages comprenant premièrement des dispositions pour appliquer une impulsion de précharge à la grille dudit transistor de charge de noeud d'au moins un étage avant l'application d'une impulsion de synchronisation audit transistor de charge de noeud en chargeant lesdites capacités réparties, et par cela ledit transistor chargeant le noeud reste ouvert lorsque
20 lesdites capacités restent chargées, lesdites premières dispositions maintenant le transistor qui charge le noeud de chaque étage non sélectionné fermé, lesdites premières dispositions comprenant une disposition contrôlée par les données pour appliquer les entrées de données auxdits étages, lesdites dispositions contrôlées par les données comprenant au moins un transistor pour contrôler ledit transistor de charge de noeud,

deuxièmement des dispositions pour appliquer les impulsions de synchronisation à la capacité de charge d'au moins un desdits étages interconnectés, il en résulte ainsi que le préchargement de la grille d'un transistor ouvert chargeant un noeud diminue son temps de réponse à une impulsion de synchronisation appliquée et ainsi augmente la vitesse maximale auquel ledit circuit logique peut fonctionner, en dépit des capacités réparties respectives importantes entre la grille et la source, ainsi qu'entre la grille et le drain dudit transistor qui charge le noeud ; et

FEUILLE DE REMPLACEMENT

troisièmement des dispositions pour appliquer au moins une impulsion d'armement auxdits étages pour mettre en état de veille lesdits étages avant l'application des impulsions de synchronisation auxdits étages.

5 11. Générateur selon la revendication 10, caractérisé en ce que ladite source dudit transistor qui charge le noeud de chacun desdits étages P est connectée à un noeud commun qui interconnecte lesdits étages P, et ladite capacité de charge de chacun desdits étages P est connectée en série audit drain dudit transistor qui charge le noeud ;

10 lesdites impulsions de synchronisation surviennent dans un ensemble de différentes phases égales à P et surviennent dans un ordre donné, et lesdites secondes dispositions applique des impulsions de synchronisation qui surviennent à chacune des phases ordinaires séparées desdites phases différentes P au drain dudit transistor qui charge les noeuds à travers ladite capacité de charge connectée en série d'un desdits étages arrangés par ordre séquentiel qui y correspond en position ordinaire ;

15 20 lesdites premières dispositions comprenant de plus au moins une seconde disposition contrôlée par les données en parallèle avec ladite première disposition contrôlée par les données où l'impulsion de sortie dudit circuit logique peut prendre n'importe laquelle largeur d'au moins $2P$ largeurs conformément auxdites entrées des données.

25 12. Générateur selon la revendication 11, caractérisé en ce qu'il comprend en plus un transistor chuteur qui répond audit noeud pour contrôler la largeur de l'impulsion de sortie dudit circuit à vernier en réponse aux changements de tension sur ledit noeud.

30 13. Générateur selon la revendication 12, caractérisé en ce qu'il y a deux desdites troisièmes dispositions pour application et deux desdits noeuds, pour appliquer deux impulsions d'armement aux étages sélectionnés, une desdites impulsions d'armement armant un ensemble de $P/2$ étages et les autres impulsions d'armement armant l'autre ensemble de $P/2$ étages.

14. Générateur selon la revendication 13, caractérisé en ce qu'il y a deux desdits transistors chuteurs qui répondent individuellement auxdits deux noeuds.

5 15. Générateur selon la revendication 11, caractérisé en ce qu'il y a 3 desdites dispositions contrôlées par les données qui sont arrangées en parallèle.

10 16. Générateur selon la revendication 15, caractérisé en ce qu'il y a 2 desdites troisièmes dispositions pour application et 2 desdits noeuds, pour appliquer 2 impulsions d'armement aux étages sélectionnés, une desdites impulsions d'armement armant un ensemble de $P/2$ étages et les autres impulsions d'armement armant l'autre ensemble de $P/2$ étages.

15 17. Générateur selon la revendication 16, caractérisé en ce qu'il y a 2 desdits transistors chuteurs qui répondent individuellement auxdits deux noeuds.

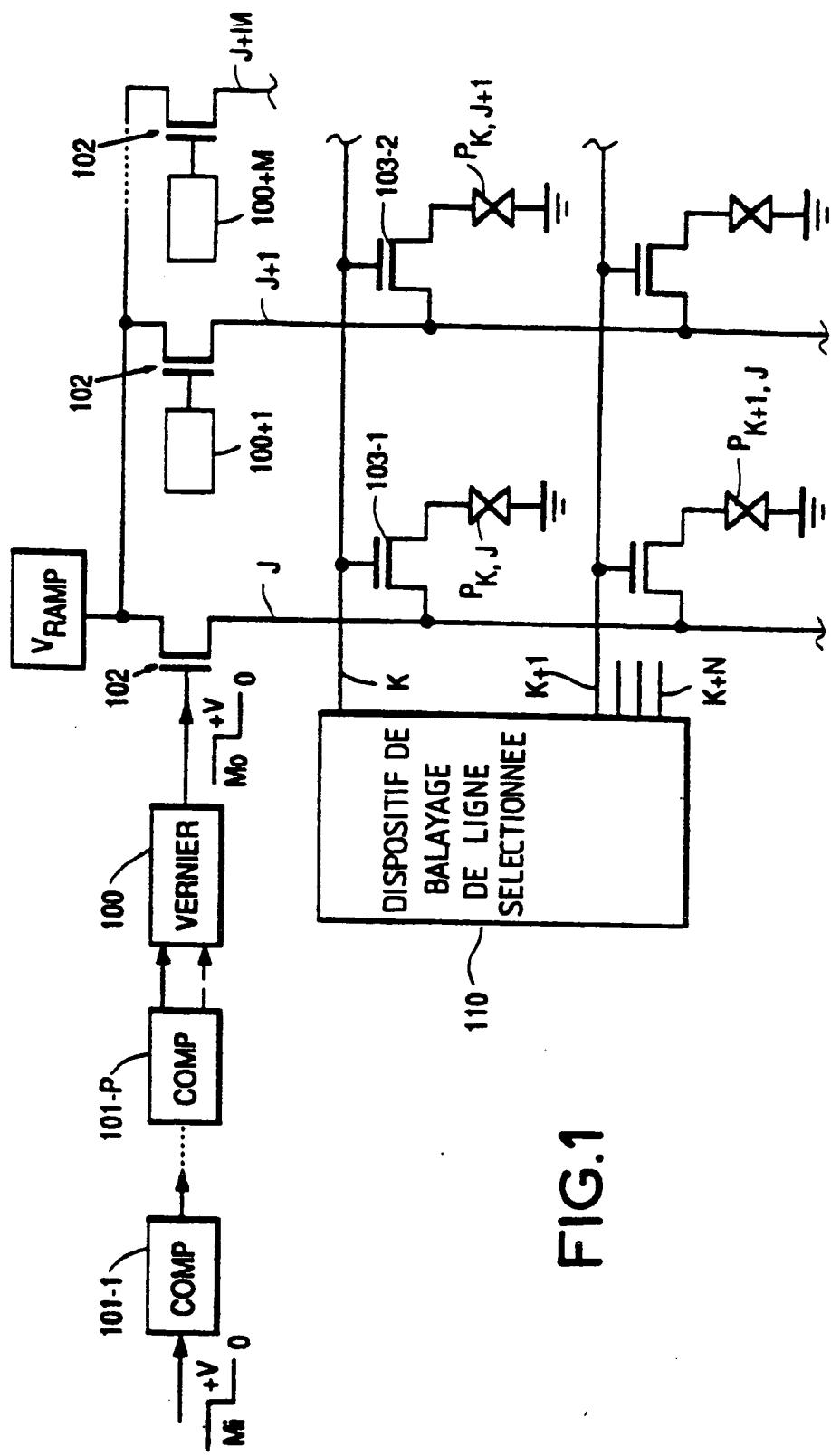


FIG.1

FEUILLE DE REMPLACEMENT

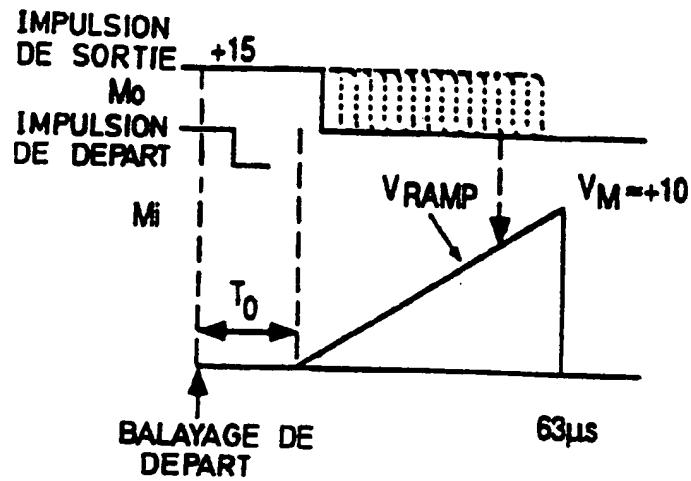


FIG. 4

109TFT	1	2	3	4	5	6	7	8
D1V	X		X					
$\bar{D}1V$					X		X	
D2V		X			X			
$\bar{D}2V$			X			X		

FEUILLE DE REMplacement

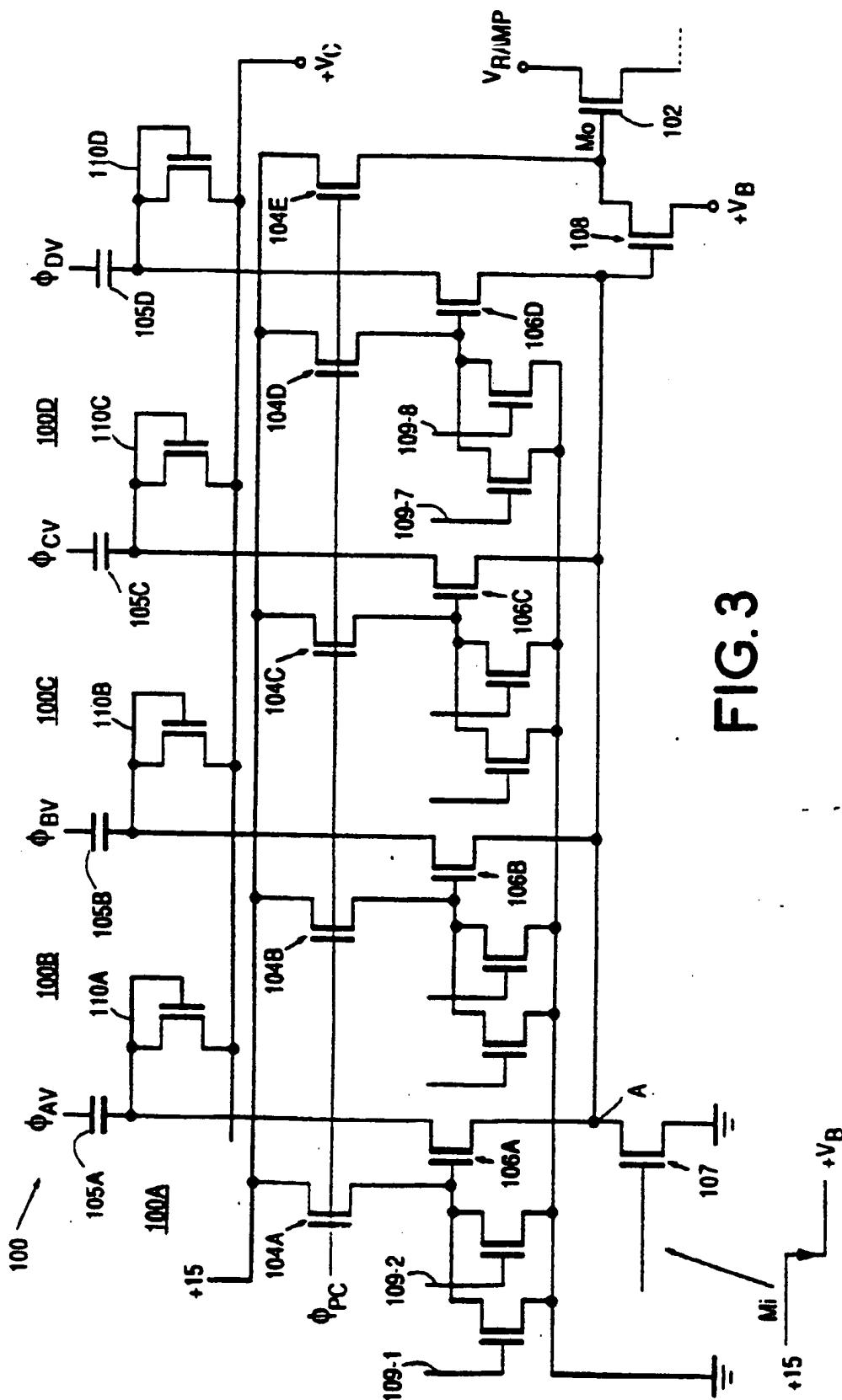
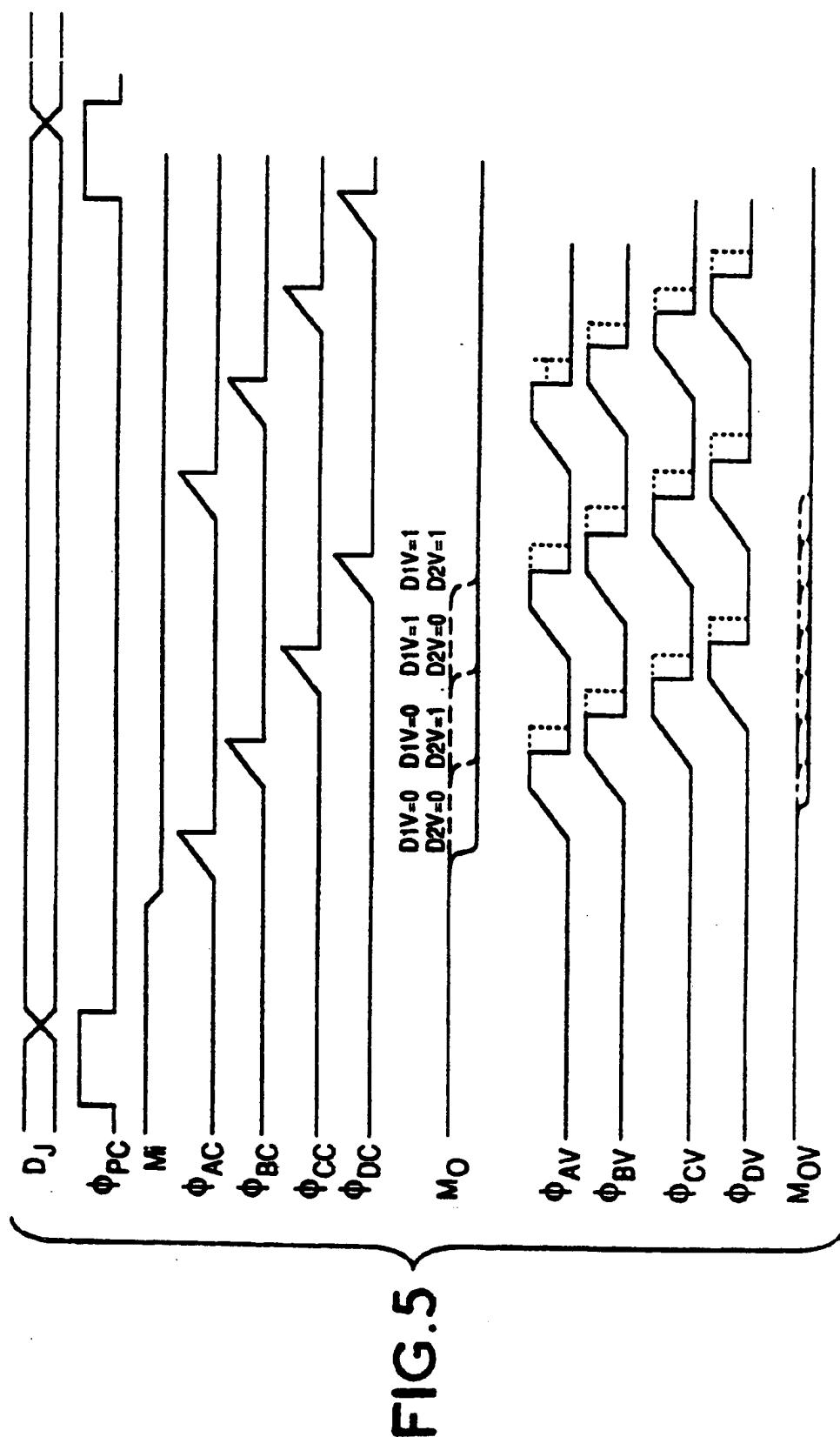


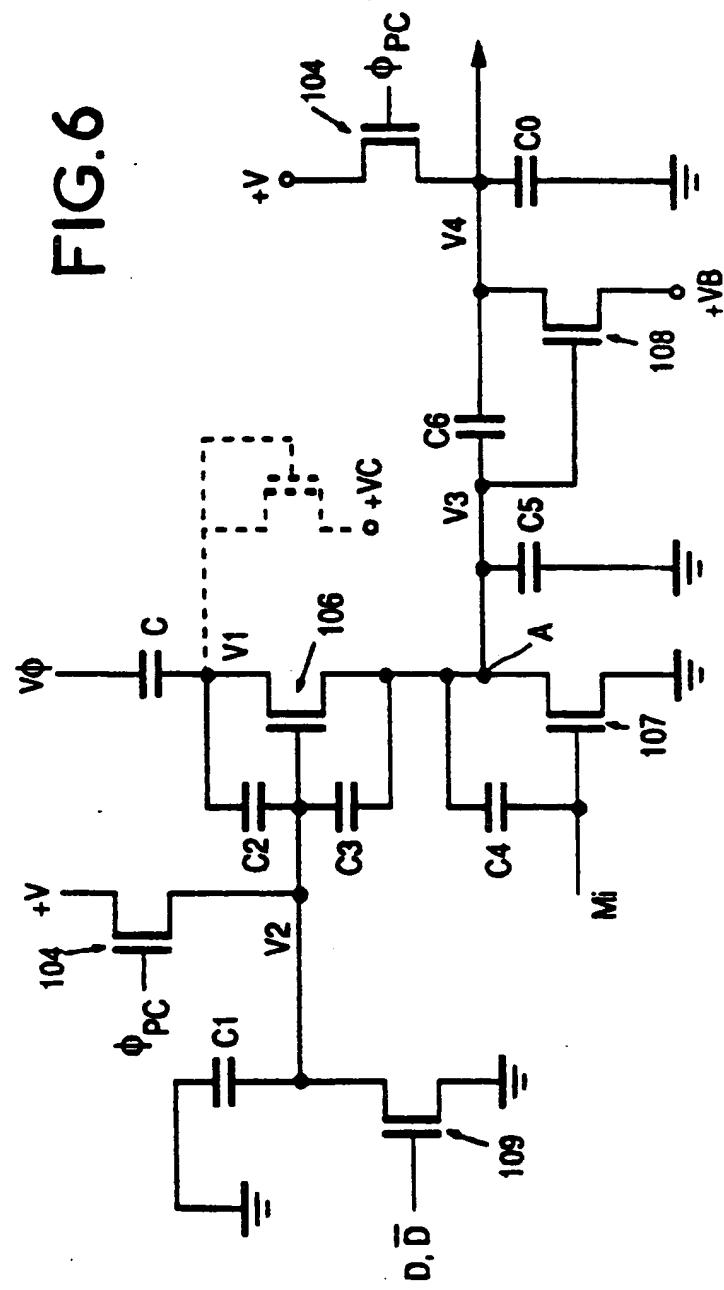
FIG. 3

SECTION DE REMPLACEMENT

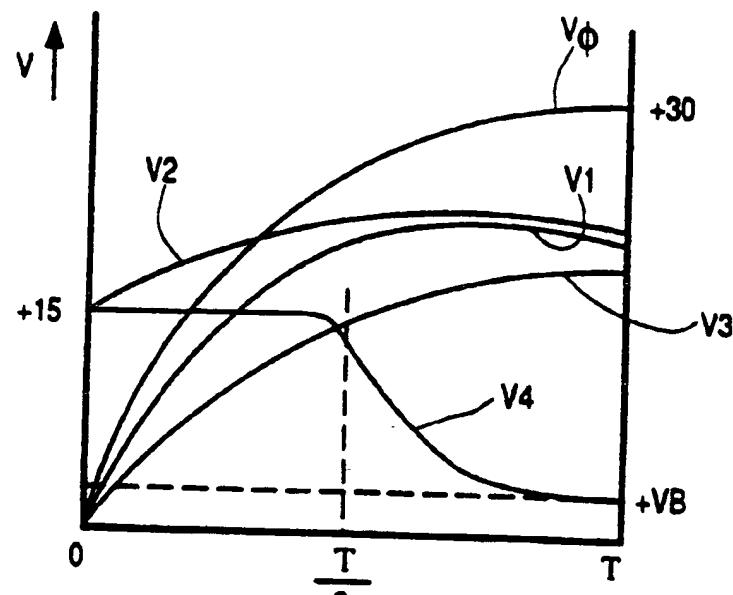
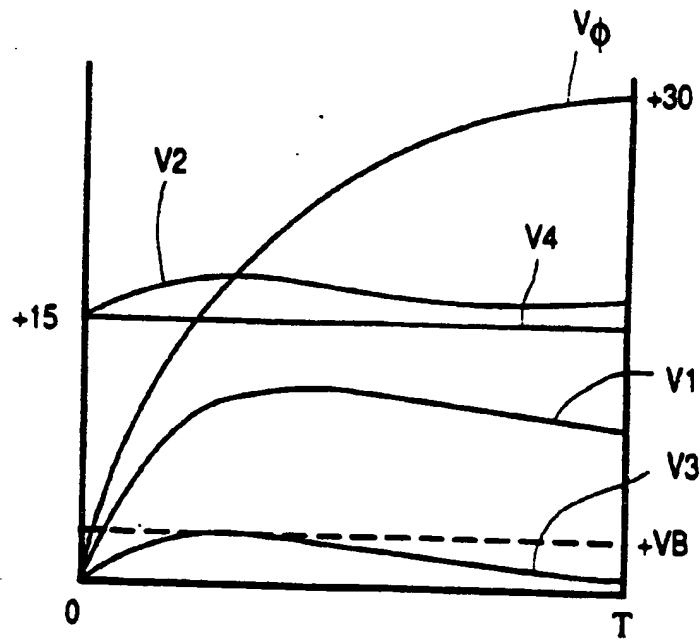


FEUILLE DE REMplacement

FIG.6



FEUILLE DE REMPLACEMENT

**FIG.7****FIG.8****FEUILLE DE REMPLACEMENT**

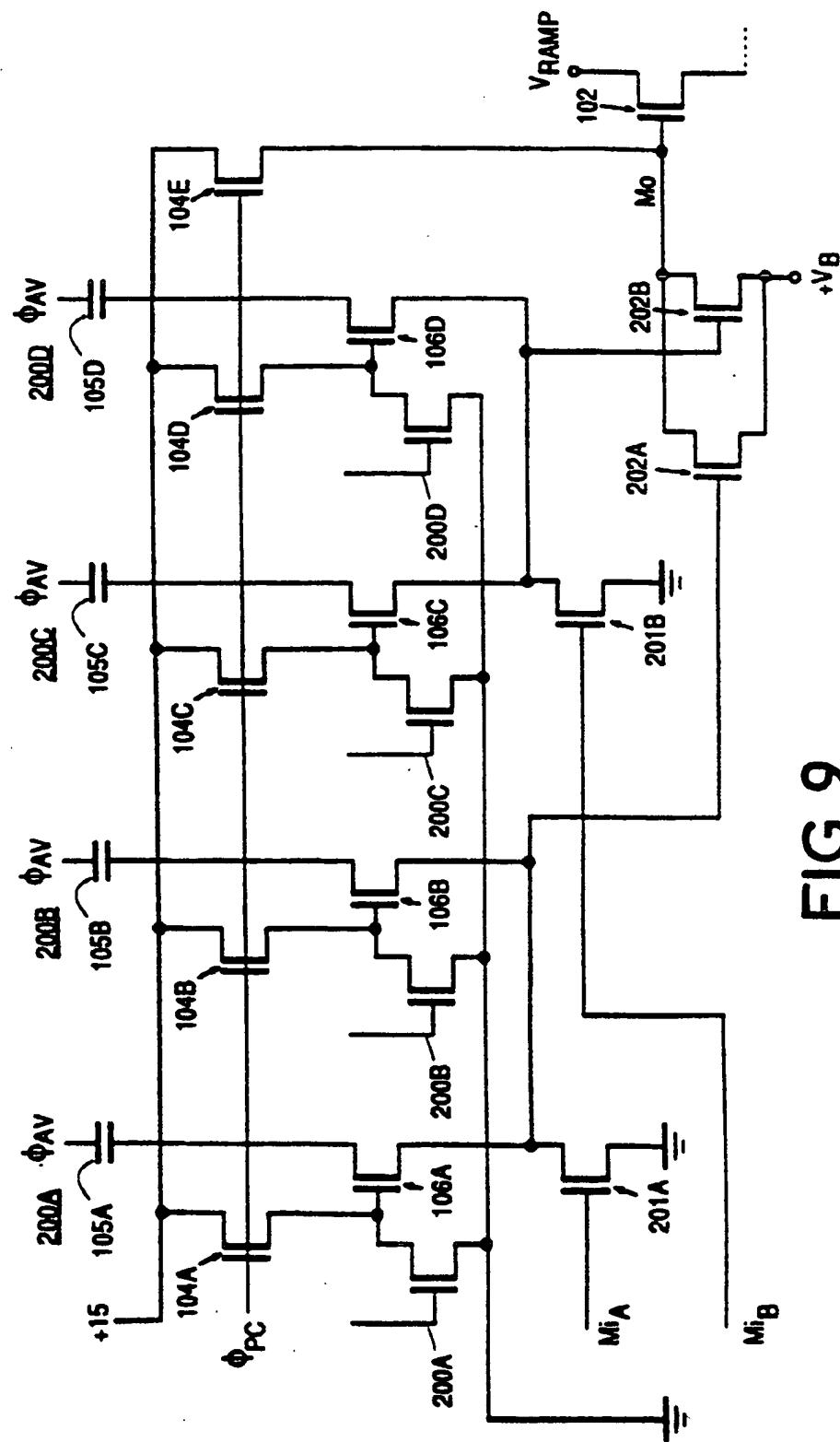
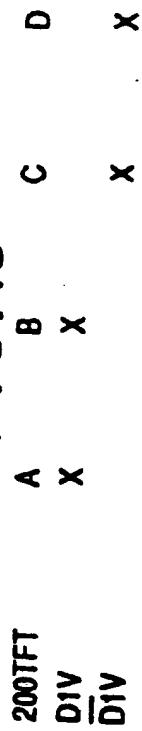
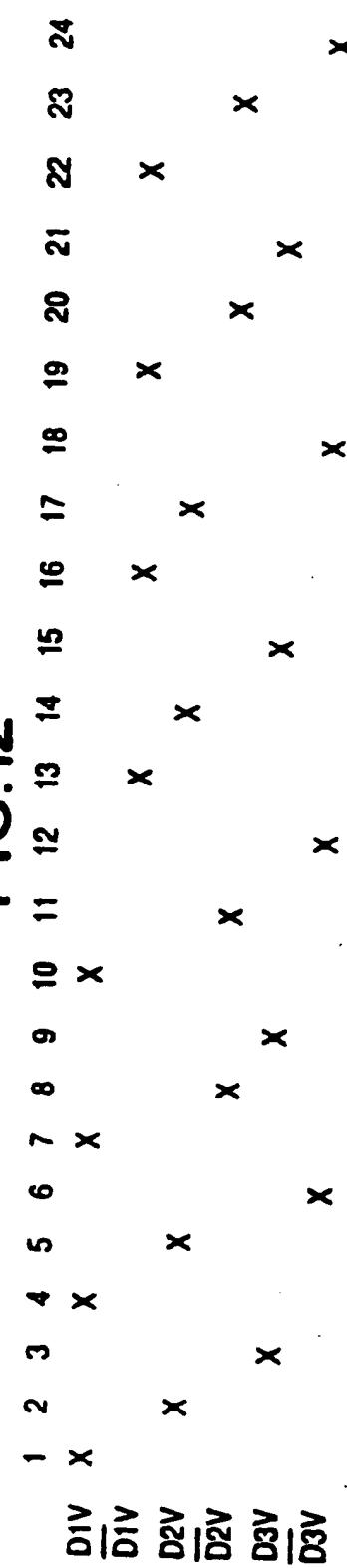
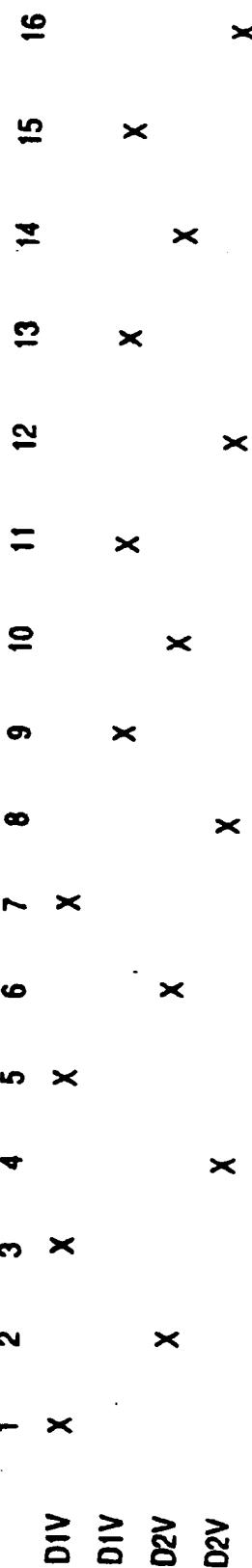


FIG. 9

FEUILLE DE REMPLACEMENT

8/10

FIG.10**FIG.12****FIG.14****FEUILLE DE REMPLACEMENT**

9/10

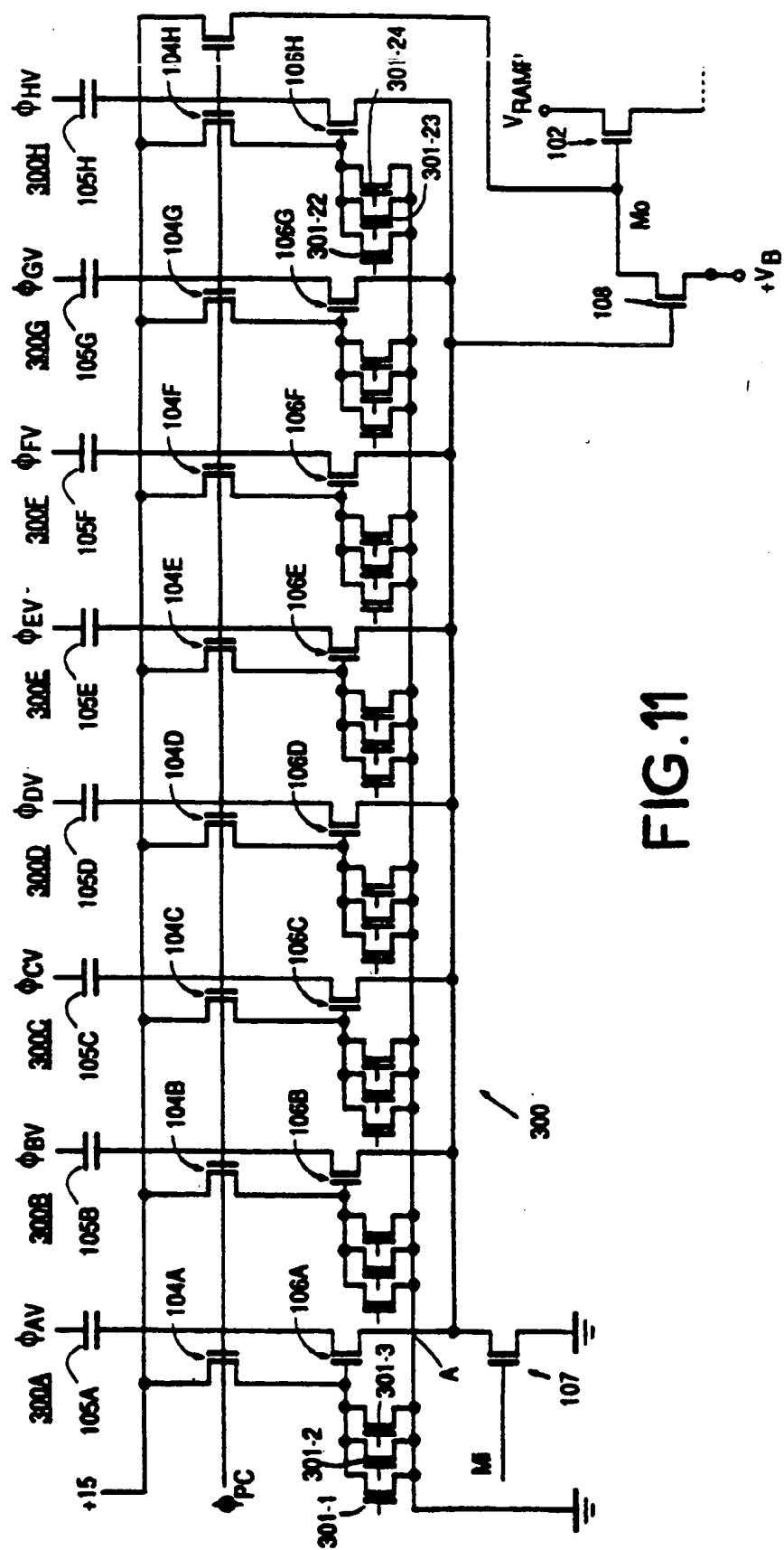


FIG. 11

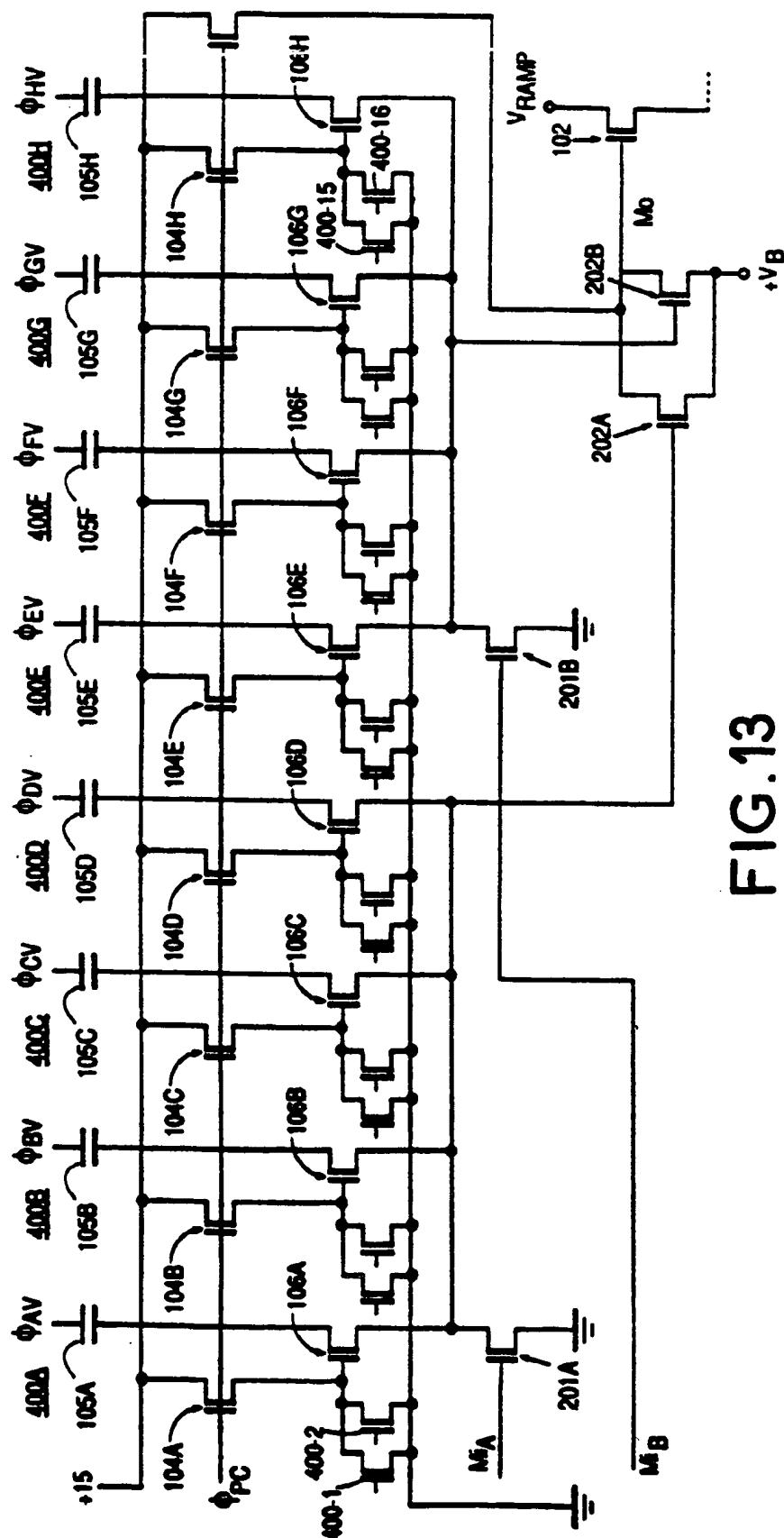


FIG.13

FIGURE 13 OF REMPLACEMENT

INTERNATIONAL SEARCH REPORT

International Application No PCT/FR 91/00959

I. CLASSIFICATION OF SUBJECT MATTER (If several classification symbols apply, indicate all) *

According to International Patent Classification (IPC) or to both National Classification and IPC

Int.Cl. ⁵ G09G3/36

II. FIELDS SEARCHED

Minimum Documentation Searched ?

Classification System	Classification Symbols
Int.Cl. ⁵	G09G ; G11C

Documentation Searched other than Minimum Documentation
to the Extent that such Documents are Included in the Fields Searched *

III. DOCUMENTS CONSIDERED TO BE RELEVANT *

Category *	Citation of Document, ¹¹ with indication, where appropriate, of the relevant passages ¹²	Relevant to Claim No. ¹³
A	US,A,4 766 (GILLETTE ET AL.) 23 August 1988 cited in the application see abstract see column 2, line 29 - column 4, line 7; figure 1 ---	1,9,10
A	US,A,4 921 334 (AKODES) 1 May 1990 see abstract see column 3, line 13 - line 36; figure 2 ---	1,9,10
A	EP,A,0 269 744 (SANYO ELECTRIC CO. LTD.) 8 June 1988 see abstract see page 1, line 9 - page 2, line 7; figures 1-6, 9, 18, 19 see page 3, line 5 - line 15 see page 9, line 20 - page 13, line 6 see page 14, line 10 - page 16, line 10 ---	1,9,10
	-/-	

* Special categories of cited documents: ¹⁰

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the prn, date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

IV. CERTIFICATION

Date of the Actual Completion of the International Search

6 March 1992 (06.03.92)

Date of Mailing of this International Search Report

26 March 1992 (26.03.92)

International Searching Authority

EUROPEAN PATENT OFFICE

Signature of Authorized Officer

III. DOCUMENTS CONSIDERED TO BE RELEVANT (CONTINUED FROM THE SECOND SHEET)

Category	Citation of Document, with indication, where appropriate, of the relevant passages	Relevant to Claim No
A	FR,A,2 626 706 (GENERAL ELECTRIC CO.) 4 August 1989 see abstract see claim 1; figures 1A,4 ---	1,9,10
A	US,A,3 902 082 (PROEBSTING ET AL.) see abstract see column 2, line 10 - line 37; figure 2 ---	1,9,10

ANNEX TO THE INTERNATIONAL SEARCH REPORT
ON INTERNATIONAL PATENT APPLICATION NO. FR 9100959
SA 54528

This annex lists the patent family members relating to the patent documents cited in the above-mentioned international search report.
The numbers are as contained in the European Patent Office EDP file on
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information. 06/03/92

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
US-A-4766430	23-08-88	None		
US-A-4921334	01-05-90	None		
EP-A-0269744	08-06-88	JP-A- 62265696 JP-A- 62271571 JP-A- 62271572 JP-A- 62271573 JP-A- 62271569 JP-A- 62271574 JP-A- 63073295 AU-B- 588693 AU-A- 7394787 WO-A- 8707067 US-A- 5051739	18-11-87 25-11-87 25-11-87 25-11-87 25-11-87 25-11-87 02-04-88 21-09-89 01-12-87 19-11-87 24-09-91	
FR-A-2626706	04-08-89	US-A- 4872002 DE-A- 3902832 GB-A- 2215103 JP-A- 1217500	03-10-89 10-08-89 13-09-89 31-08-89	
US-A-3902082	26-08-75	None		

I. CLASSEMENT DE L'INVENTION (si plusieurs symboles de classification sont applicables, les indiquer tous) ⁷

Selon la classification internationale des brevets (CIB) en à la fois selon la classification nationale et la CIB

CIB 5 G09G3/36**II. DOMAINES SUR LESQUELS LA RECHERCHE A PORTÉ****Documentation minimale consultée⁸**

Système de classification	Symboles de classification
CIB 5	G09G ; G11C

Documentation consultée autre que la documentation minimale dans la mesure où de tels documents font partie des domaines sur lesquels la recherche a porté

III. DOCUMENTS CONSIDERÉS COMME PERTINENTS¹⁰

Catégorie ¹¹	Identification des documents cités, avec indication, si nécessaire, ¹² des passages pertinents ¹³	No. des revendications visées ¹⁴
A	US,A,4 766 430 (GILLETTE ET AL.) 23 Août 1988 cité dans la demande voir Abrégé voir colonne 2, ligne 29 - colonne 4, ligne 7; figure 1 — US,A,4 921 334 (AKODES) 1 Mai 1990 voir Abrégé voir colonne 3, ligne 13 - ligne 36; figure 2 — EP,A,0 269 744 (SANYO ELECTRIC CO. LTD.) 8 Juin 1988 voir Abrégé voir page 1, ligne 9 - page 2, ligne 7; figures 1-6,9,18,19 voir page 3, ligne 5 - ligne 15 voir page 9, ligne 20 - page 13, ligne 6 voir page 14, ligne 10 - page 16, ligne 10 — —/—	1,9,10 1,9,10 1,9,10

¹⁰ Catégories spéciales de documents cités¹¹

- "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- "E" document antérieur, mais publié à la date de dépôt international ou après cette date
- "L" document pouvant poser un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- "U" document se référant à une divulgation orale, à un usage, à une exposition ou tout autre moyen
- "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- "T" document ultérieur publié postérieurement à la date de dépôt international ou à la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive
- "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- "A" document qui fait partie de la même famille de brevets

IV. CERTIFICATION

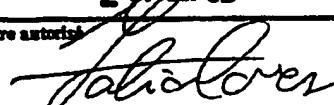
Date à laquelle la recherche internationale a été effectivement achevée

06 MARS 1992

Date d'expédition du présent rapport de recherche internationale

26.03.92Administration chargée de la recherche internationale
OFFICE EUROPEEN DES BREVETS

Signature du fonctionnaire autorisé

CORSI F.

III. DOCUMENTS CONSIDERES COMME PERTINENTS ¹⁴		(SUITE DES RENSEIGNEMENTS INDIQUES SUR LA DEUXIEME FEUILLE)
Catégorie ¹⁵	Identification des documents cités, ¹⁶ avec indication, si nécessaire des passages pertinents ¹⁷	No. des revendications visées ¹⁸
A	FR,A,2 626 706 (GENERAL ELECTRIC CO.) 4 Août 1989 voir Abrégé voir revendication 1; figures 1A,4 ----	1,9,10
A	US,A,3 902 082 (PROEBSTING ET AL.) 26 Août 1975 voir Abrégé voir colonne 2, ligne 10 - ligne 37; figure 2 ----	1,9,10

**ANNEXE AU RAPPORT DE RECHERCHE INTERNATIONALE
RELATIF A LA DEMANDE INTERNATIONALE NO.**

FR 9100959
SA 54528

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche internationale visé ci-dessus.
 Les mentions sont contenues au dossier informatique de l'Office européen des brevets à la date du
 Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets. 06/03/92

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US-A-4766430	23-08-88	Aucun	
US-A-4921334	01-05-90	Aucun	
EP-A-0269744	08-06-88	JP-A- 62265696 JP-A- 62271571 JP-A- 62271572 JP-A- 62271573 JP-A- 62271569 JP-A- 62271574 JP-A- 63073295 AU-B- 588693 AU-A- 7394787 WO-A- 8707067 US-A- 5051739	18-11-87 25-11-87 25-11-87 25-11-87 25-11-87 25-11-87 02-04-88 21-09-89 01-12-87 19-11-87 24-09-91
FR-A-2626706	04-08-89	US-A- 4872002 DE-A- 3902832 GB-A- 2215103 JP-A- 1217500	03-10-89 10-08-89 13-09-89 31-08-89
US-A-3902082	26-08-75	Aucun	

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.